

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-149555

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

G11C 11/407

G11C 11/413

(21)Application number : 11-256680

(71)Applicant : HYUNDAI MICROELECTRONICS CO  
LTD

(22)Date of filing : 10.09.1999

(72)Inventor : DON-KEUM KAN

(30)Priority

Priority number : 98 9846609

Priority date : 31.10.1998

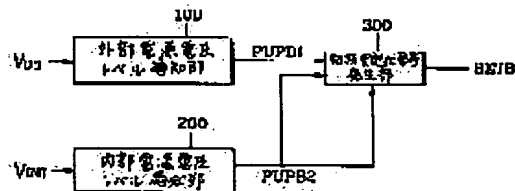
Priority country : KR

## (54) INITIAL STABILIZATION SIGNAL-GENERATING CIRCUIT OF SEMICONDUCTOR MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an initial stabilization signal-generating circuit of a semiconductor memory which can generate an initial stabilization signal for preventing an access from the outside before an internal power source voltage level is normalized.

**SOLUTION:** The circuit has an external power source voltage level-sensing part 100 which senses an external power source voltage VDD and generates an external power source sense signal PUPB1 when the external power source voltage VDD becomes a predetermined voltage level, an internal power source voltage level-sensing part 200 which senses an internal power source voltage VINT and generates an internal power source sense signal PUPB2 when the internal power source voltage VINT becomes a predetermined voltage level, and an initial stabilization signal-generating part 300 which receives the internal power source sense signal PUPB1 and the external power source sense signal PUPB2 and generates an initial stabilization signal SETB of a 'low' level at a fall edge of the internal power source sense signal PUPB2.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-149555

(P2000-149555A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 11/407

11/413

識別記号

F I

G 1 1 C 11/34

テーマコード\* (参考)

3 5 4 F

3 3 5 A

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-256680

(22) 出願日 平成11年9月10日 (1999.9.10)

(31) 優先権主張番号 4 6 6 0 9 / 1 9 9 8

(32) 優先日 平成10年10月31日 (1998.10.31)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 599123256

ヒュンダイ マイクロエレクトロニクス

カンパニー リミテッド

大韓民国、チューンチェオンブクド、チ

ェオンジュ、フンダクグ、ヒヤングジェ

オンードン、1

(72) 発明者 ドンケウム カン

大韓民国、チューンチェオンブクド、チ

ェンジュ、フンダクグ、ボンミュン 2

ードン、353-5

(74) 代理人 100078330

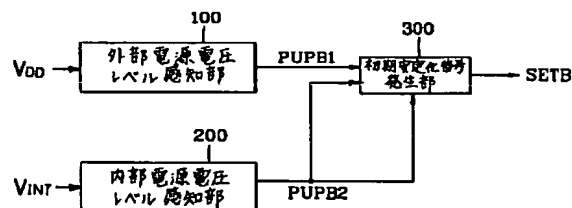
弁理士 笹島 富二雄 (外1名)

(54) 【発明の名称】 半導体メモリの初期安定化信号発生回路

(57) 【要約】

【課題】 内部電源電圧レベルが正常化される前は、外部からのアクセスを防止する初期安定化信号を発生し得る半導体メモリの初期安定化信号発生回路を提供する。

【解決手段】 外部電源電圧  $V_{DD}$  を感知して、該外部電源電圧  $V_{DD}$  が所定の電圧レベルになったときに外部電源感知信号 PUPB1 を発生させる外部電源電圧レベル感知部 100 と、内部電源電圧  $V_{INT}$  を感知して、該内部電源電圧  $V_{INT}$  が所定の電圧レベルになったときに内部電源感知信号 PUPB2 を発生させる内部電源電圧レベル感知部 200 と、内部電源感知信号 PUPB1 及び外部電源感知信号 PUPB2 を受けて、該内部電源感知信号 PUPB2 の下降エッジで 'ロー' レベルの初期安定化信号 SETB を発生させる初期安定化信号発生部 300 と、を備える。



## 【特許請求の範囲】

【請求項 1】外部から供給される外部電源電圧を感知して、該外部電源電圧が所定の電圧レベルになったときに外部電源感知信号を発生させる外部電源電圧レベル感知部と、

前記外部電源電圧に基づいて発生される内部電源電圧を感知して、該内部電源電圧が所定の電圧レベルになったときに内部電源感知信号を所定時間発生させる内部電源電圧レベル感知部と、

前記外部電源感知信号及び内部電源感知信号を入力し、前記外部電源感知信号が出力され、かつ、前記内部電源感知信号が所定時間出力されたときに、半導体メモリの動作を開始するための初期安定化信号を発生させる初期安定化信号発生部と、を備えて構成されたことを特徴とする半導体メモリの初期安定化信号発生回路。

【請求項 2】前記初期安定化信号発生部は、前記外部電源電圧レベル感知部からの外部電源感知信号及び前記内部電源電圧感知信号からの内部電源感知信号を受けて、前記外部電源電圧感知信号の位相と反転した位相を有する信号を出力する信号入力部と、

該信号入力部からの出力信号を、前記内部電源電圧感知信号が発生するまでラッチして出力するラッチ部と、

前記内部電源感知信号及び前記内部電源感知信号の遅延信号を用いて、前記ラッチ部で前記信号入力部からの出力信号をラッチするためのトリガー信号を発生するトリガー部と、

前記ラッチ部の出力信号及び前記内部電源感知信号を受けて、該内部電源感知信号の下降エッジに同期した初期安定化信号を出力する信号出力部と、から構成されたことを特徴とする請求項 1 に記載の半導体メモリの初期安定化信号発生回路。

【請求項 3】前記初期安定化信号発生部は、前記トリガー部からのトリガー信号をバッファリングして前記ラッチ部に出力するバッファ部を含むことを特徴とする請求項 2 に記載の半導体メモリの初期安定化信号発生回路。

【請求項 4】前記信号入力部は、前記外部電源感知信号の反転信号と前記内部電源感知信号とを否定論理和する NOR ゲートと、

該 NOR ゲートの出力信号を反転して出力するインバータと、

から構成されたことを特徴とする請求項 2 又は請求項 3 に記載の半導体メモリの初期安定化信号発生回路。

【請求項 5】前記ラッチ部は、前記信号入力部の出力信号と第 2 NAND ゲートの出力信号とを否定論理積する第 1 NAND ゲートと、前記バッファ部の出力信号と前記第 1 NAND ゲートの出力信号とを否定論理積する第 2 NAND ゲートと、から構成されたことを特徴とする請求項 2 ～請求項 4 のいずれか 1 つに記載の半導体メモリの初期安定化信号発生回路。

【請求項 6】前記トリガー部は、

前記内部電源感知信号を反転して出力するインバータと、

該インバータの出力信号を所定時間遅延させる信号遅延部と、

該信号遅延部の出力信号と前記内部電源感知信号とを否定論理積して前記トリガー信号を出力する NAND ゲートと、から構成されたことを特徴とする請求項 2 ～請求項 5 のいずれか 1 つに記載の半導体メモリの初期安定化信号発生回路。

【請求項 7】前記バッファ部は、

前記トリガー部からのトリガー信号を順次反転させて出力する第 1、第 2 インバータから構成されたことを特徴とする請求項 3 ～請求項 6 のいずれか 1 つに記載の半導体メモリの初期安定化信号発生回路。

【請求項 8】前記信号出力部は、

前記ラッチ部の出力信号と前記内部電源感知信号とを否定論理和する NOR ゲートと、

該 NOR ゲートの出力信号を反転して前記初期安定化信号をするインバータと、から構成されたことを特徴とする請求項 2 ～請求項 7 のいずれか 1 つに記載の半導体メモリの初期安定化信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリの動作開始時の初期安定化信号（パワーアップ信号）を発生し得る半導体メモリの初期安定化信号発生回路に関するものである。

【0002】

【従来の技術】近來、半導体メモリの高集積化及び微細化に伴い、半導体メモリに用いられる電源電圧は低下しており、半導体メモリの動作に使用される内部電源電圧は、外部電源電圧を所定の電圧レベルに降圧して使用している。

【0003】このような従来の半導体メモリが正常動作を行うためには、電源電圧を所定の電圧レベル以上に維持させる必要があるため、初期の電源電圧投入時には、供給された電源電圧レベルを感知して、該電源電圧が所定の電圧レベルに達したことを感知する初期安定化信号を発生させた後、ローアドレスストロブ信号／RAS 及びコラムアドレスストロブ信号／CAS 等の内部制御信号を制御していた。

【0004】このため、従来の半導体メモリの初期安定化信号発生回路においては、初期安定化信号を、外部から供給される外部電源の電圧レベルを感知して、該外部電源電圧が所定の電圧レベル以上であるときに発生させたり、又は、内部回路から印加される内部電源の電圧レベルを感知して、該内部電源電圧が所定の電圧レベル以上であるときに発生させたりしていた。

【0005】以下、このような従来の半導体メモリの初

期安定化信号発生回路の動作について説明する。図4は、従来の半導体メモリの初期安定化信号発生回路で発生される初期安定化信号を発生する場合の外部電源電圧及び内部電源電圧の電圧レベルを示す図であり、図4(A)は、外部電源電圧レベルを感知して初期安定化信号を発生する場合の外部電源電圧及び内部電源電圧の電圧レベルを示す図、図4(B)は、内部電源電圧レベルを感知して初期安定化信号を発生する場合の外部電源電圧及び内部電源電圧の電圧レベルを示す図である。

【0006】先ず、従来の半導体メモリの初期安定化信号発生回路においては、図4(A)に示したように、外部から印加される外部電源電圧 $V_{DD}$ の電圧レベルを感知して、該外部電源電圧 $V_{DD}$ が所定の電圧レベル $V_a$ になる時点 $t_a$ で‘ロー’レベルの初期安定化信号SETB1を発生させて、半導体メモリの動作が開始されるようにしていた。

【0007】ところが、前記外部電源電圧 $V_{DD}$ が供給され、該外部電源電圧 $V_{DD}$ を所定の電圧レベル $V_a$ に降圧し、半導体メモリのために適切な電圧レベルの内部電源電圧 $V_{INT}$ を発生するまで時間がかかる。即ち、前記初期安定化信号SETB1の発生時点 $t_a$ から所定の電圧レベルの内部電源電圧 $V_{INT}$ の発生時点 $t_{int}$ までの間は、内部回路に正常な電圧レベルの外部電源電圧 $V_{DD}$ が印加されないため、外部から半導体メモリに対してアクセスがあった際には半導体メモリが不安定な動作を行う可能性があり、ラッチアップ(latch-up)による過電流が発生するおそれがあった。

【0008】そこで、これを解決するために、従来の半導体メモリの初期安定化信号発生回路においては、図4(B)に示したように、内部電源電圧 $V_{INT}$ の電圧レベルを感知して、該内部電源電圧 $V_{INT}$ が所定の電圧レベル $V_b$ になる時点 $t_b$ で‘ハイ’レベルの初期安定化信号SETB2を所定時間発生させて、半導体メモリをリセットする初期化動作を行った後、半導体メモリの動作が開始されるようにしていた。

【0009】

【発明が解決しようとする課題】然るに、このような従来の内部電源電圧レベルを感知して初期安定化信号を発生する半導体メモリの初期安定化信号発生回路においては、正常な電圧レベル $V_b$ の内部電源電圧 $V_{INT}$ が発生する前の外部からのアクセスはリセットされ得るが、初期安定化信号PUPB2が発生される以前の時点 $t_b$ から初期安定化信号SETB2がハイレベルに活性化される時点 $t_d$ までの間は、前記初期安定化信号SETB2が‘ロー’レベルに維持されるため、不安定な状態が解消されず、ラッチアップのような過電流が発生するおそれがある。

【0010】そこで、本発明は、このような従来の課題に鑑みてなされたもので、内部電源電圧が正常な電圧レベルに達する前は、外部から半導体メモリへのアクセス

を防止でき、過電流の発生を防止し得る半導体メモリの初期安定化信号発生回路を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するため、本発明の請求項1に係る発明は、外部から供給される外部電源電圧を感知して、該外部電源電圧が所定の電圧レベルになったときに外部電源感知信号を発生させる外部電源電圧レベル感知部と、前記外部電源電圧に基づいて発生される内部電源電圧を感知して、該内部電源電圧が所定の電圧レベルになったときに内部電源感知信号を所定時間発生させる内部電源電圧レベル感知部と、前記外部電源感知信号及び内部電源感知信号を入力し、前記外部電源感知信号が出力され、かつ、前記内部電源感知信号が所定時間出力されたときに、半導体メモリの動作を開始するための初期安定化信号を発生させる初期安定化信号発生部と、を備えて構成されている。

【0012】請求項2に記載の発明は、前記初期安定化信号発生部は、前記外部電源電圧レベル感知部からの外部電源感知信号及び前記内部電源電圧感知信号からの内部電源感知信号を受けて、前記外部電源電圧感知信号の位相と反転した位相を有する信号を出力する信号入力部と、該信号入力部からの出力信号を、前記内部電源電圧感知信号が発生するまでラッチして出力するラッチ部と、前記内部電源感知信号及び前記内部電源感知信号の遅延信号を用いて、前記ラッチ部で前記信号入力部からの出力信号をラッチするためのトリガー信号を発生するトリガー部と、前記ラッチ部の出力信号及び前記内部電源感知信号を受けて、該内部電源感知信号の下降エッジに同期した初期安定化信号を出力する信号出力部と、から構成されたものとする。

【0013】請求項3に記載の発明は、前記初期安定化信号発生部は、前記トリガー部からのトリガー信号をバッファリングして前記ラッチ部に出力するバッファ部を含むものとする。

【0014】請求項4に記載の発明は、前記信号入力部は、前記外部電源感知信号の反転信号と前記内部電源感知信号とを否定論理和するNORゲートと、該NORゲートの出力信号を反転して出力するインバータと、から構成されたものとする。

【0015】請求項5に記載の発明は、前記ラッチ部は、前記信号入力部の出力信号と第2NANDゲートの出力信号とを否定論理積する第1NANDゲートと、前記バッファ部の出力信号と前記第1NANDゲートの出力信号とを否定論理積する第2NANDゲートと、から構成されたものとする。

【0016】請求項6に記載の発明は、前記トリガー部は、前記内部電源感知信号を反転して出力するインバータと、該インバータの出力信号を所定時間遅延させる信号遅延部と、該信号遅延部の出力信号と前記内部電源感知信号とを否定論理積して前記トリガー信号を出力する

NANDゲートと、から構成されたものとする。

【0017】請求項7に記載の発明は、前記バッファ部は、前記トリガー部からのトリガー信号を順次反転させて出力する第1、第2インバータから構成されたものとする。

【0018】請求項8に記載の発明は、前記信号出力部は、前記ラッチ部の出力信号と前記内部電源感知信号とを否定論理和するNORゲートと、該NORゲートの出力信号を反転して前記初期安定化信号をするインバータと、から構成されたものとする。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。本発明に係る半導体メモリの初期安定化信号発生回路は、図1に示したように、外部から供給される外部電源電圧 $V_{DD}$ を感知して、該外部電源電圧 $V_{DD}$ が所定の電圧レベルになったときに外部電源感知信号PUPB1を発生させる外部電源電圧レベル感知部100と、前記外部電源電圧 $V_{DD}$ に基づいて発生される内部電源電圧 $V_{INT}$ を感知して、該内部電源電圧 $V_{INT}$ が所定の電圧レベルになったときに内部電源感知信号PUPB2を発生させる内部電源電圧レベル感知部200と、前記外部電源感知信号PUPB1及び内部電源感知信号PUPB2を入力し、前記外部電源感知信号PUPB1が出力され、かつ、前記内部電源感知信号PUPB2が所定時間出力されたときに、内部電源感知信号PUPB2の下降エッジに同期して、半導体メモリの動作を開始するための‘ロー’レベルに活性化された初期安定化信号SETBを発生させる初期安定化信号発生部300と、を備えて構成されている。

【0020】次に、初期安定化信号発生部300の回路構成を、図2を用いて以下に説明する。初期安定化信号発生部300は、前記外部電源電圧レベル感知部100からの外部電源感知信号PUPB1及び前記内部電源電圧レベル感知部200からの内部電源感知信号PUPB2を受けて、該外部電源電圧感知信号PUPB1の位相と反転した位相を有する信号INV1を出力する信号入力部310と、該信号入力部310から出力された信号INV1を、内部電源電圧感知信号PUPB2が発生するまでラッチして信号ND1を出力するラッチ部320と、内部電源感知信号PUPB2及び該内部電源感知信号PUPB2の遅延信号DELを用いて、前記ラッチ部320で信号入力部310からの出力信号INV1をラッチするためのトリガー信号TRIGを発生するトリガー部330と、該トリガー部330からのトリガー信号TRIGをバッファリングして、信号INV4を前記ラッチ部320に出力するバッファ部340と、前記ラッチ部320の出力信号ND1及び前記内部電源感知信号PUPB2を受けて、該内部電源感知信号PUPB2の下降エッジに同期した‘ロー’レベルの初期安定化信号SETBを出力する信号出力部350と、から構成され

ている。

【0021】前記信号入力部310は、前記外部電源感知信号PUPB1の反転信号PUPB1<sub>inv</sub>と内部電源感知信号PUPB2とを否定論理和するNORゲート311と、該NORゲート311の出力信号NR1を反転して信号INV1を出力するインバータ312とから構成されている。

【0022】前記ラッチ部320は、前記信号入力部310の出力信号INV1と第2NANDゲート322の出力信号ND2とを否定論理積する第1NANDゲート321と、前記バッファ部340の出力信号INV4と前記第1NANDゲート321の出力信号ND1とを否定論理積する第2NANDゲート322とから構成されている。

【0023】前記トリガー部330は、前記内部電源感知信号PUPB2を反転して信号INV2をするインバータ331と、該インバータ331の出力信号INV2を所定時間遅延させて遅延信号DELを出力する信号遅延部332と、該信号遅延部332からの遅延信号DELと前記内部電源感知信号PUPB2とを否定論理積して前記トリガー信号TRIGを出力するNANDゲート333とから構成されている。

【0024】前記バッファ部340は、前記トリガー部330のトリガー信号TRIGを順次反転させて信号INV4を出力する第1、第2インバータ341、342から構成されている。

【0025】前記信号出力部350は、前記ラッチ部320の出力信号ND1と前記内部電源感知信号PUPB2とを否定論理和するNORゲート351と、該NORゲート351の出力信号NR2を反転して前記初期安定化信号SETBを出力するインバータ352とから構成されている。

【0026】以下、このように構成された本実施形態に係る半導体メモリの初期安定化信号発生回路の動作について説明する。図3は、本発明に係る初期安定化信号発生部300における各信号の動作タイミングを示す図である。

【0027】まず、外部電源電圧レベル感知部100は、外部から供給される外部電源電圧 $V_{DD}$ の電圧レベルを感知し、該外部電源電圧 $V_{DD}$ が所定の電圧レベルになる時点 $T_a$ で‘ロー’レベルの外部電源感知信号PUPB1を発生させる。

【0028】一方、内部電源電圧レベル感知部200は、前記外部電源電圧 $V_{DD}$ が降圧して発生される内部電源電圧 $V_{INT}$ の電圧レベルを感知して、該内部電源電圧 $V_{INT}$ が所定の電圧レベルになる時点 $T_b$ で‘ハイ’レベルの内部電源感知信号PUPB2を所定時間、即ち、時点 $T_b \sim T_d$ の間だけ発生させる。

【0029】このように、外部電源電圧レベル感知部100で発生された前記外部電源感知信号PUPB1及び

内部電源電圧レベル感知部200で発生された内部電源感知信号PUPB2が前記初期安定化信号発生部300に印加されると、外部電源感知信号PUPB1が出力され、かつ、内部電源感知信号PUPB2が所定時間出力されたときに、初期安定化信号発生部300から初期安定化信号SETBが発生される。以下、初期安定化信号発生部300の動作について、各信号の遷移時点に区分して説明する。

【0030】まず、外部電源感知信号PUPB1が活性化される前、即ち、時点 $T_0 \sim T_a$ においては、外部電源感知信号PUPB1が‘ハイ’レベルであるので、‘ロー’レベルの外部電源感知信号PUPB1の反転信号PUPB1<sub>inv</sub>及び‘ロー’レベルの内部電源感知信号PUPB2が信号入力部310のNORゲート311で否定論理和されて、‘ハイ’レベルの信号NR1を出力する。該NORゲート311の出力信号NR1はインバータ312で反転されて、‘ロー’レベルの信号INV1がラッチ部320の第1NANDゲート321に印加される。従って、ノードDにおける第1NANDゲート321からの出力信号ND1は‘ハイ’レベルになる。

【0031】一方、‘ロー’レベルの内部電源感知信号PUPB2は、トリガー部330のインバータ331で‘ハイ’レベルに反転され、信号遅延部332で所定時間遅延された後、遅延信号DELとしてNANDゲート333に入力される。

【0032】前記NANDゲート333は、前記信号遅延部332から出力された‘ハイ’レベルの遅延信号DELと‘ロー’レベルの内部電源感知信号PUPB2とを否定論理積することにより、‘ハイ’レベルのトリガー信号TRIGを出力する。該トリガー信号TRIGは、バッファ部340の第1インバータ341で反転されて‘ロー’レベルの信号INV3として第2インバータ342に出力され、さらに、該信号INV3は該第2インバータ342で反転されて‘ハイ’レベルの信号INV4として出力される。該‘ハイ’レベルの信号INV4はラッチ部320の第2NANDゲート322に入力される。従って、ノードCにおける第2NANDゲート322からの出力信号ND2は‘ロー’レベルになる。

【0033】ラッチ部320から出力される‘ハイ’レベルの信号ND1は信号出力部350のNORゲート351の一方の入力端子に印加され、該NORゲート351の他方の入力端子には‘ロー’レベルの内部電源感知信号PUPB2が印加される。NORゲート351は、‘ハイ’レベルの信号ND1と‘ロー’レベルの内部電源感知信号PUPB2とを否定論理和して、‘ロー’レベルの信号NR2を出力する。該出力信号NR2はインバータ352により反転されて、最終的に、‘ハイ’レベルの初期安定化信号SETBが出力される。これによ

り、時点 $T_0 \sim T_a$ の間では、外部からのアクセスを防止することができる。

【0034】次に、‘ハイ’レベルの外部電源感知信号PUPB1が‘ロー’レベルに活性化される時点 $T_a$ においては、内部電源感知信号PUPB2は‘ロー’レベルに維持されるが、外部電源感知信号PUPB1が‘ロー’レベルに遷移されるので、外部電源感知信号PUPB1の反転信号PUPB1<sub>inv</sub>は‘ロー’レベルから‘ハイ’レベルに遷移され、信号入力部310のNORゲート311は‘ロー’レベルの信号NR1を出力する。該NORゲート311の出力信号NR1はインバータ312で反転されて、第1NANDゲート321に入力される信号INV1は‘ハイ’レベルに遷移される。一方、第2NANDゲート322には、継続して‘ハイ’レベルの信号INV4が印加されるため、ノードCにおける第2NANDゲート322からの出力信号ND2は‘ロー’レベルに維持され、ラッチ部320から出力される信号ND1は‘ハイ’レベルに維持される。従って、時点 $T_a \sim T_b$ の間も、初期安定化信号SETBは‘ハイ’レベルに維持されて、外部からのアクセスを防止することができる。

【0035】次に、内部電源感知信号PUPB2が‘ハイ’レベルに遷移される時点 $T_b$ においては、内部電源感知信号PUPB2が‘ロー’レベルから‘ハイ’レベルに遷移されても、信号入力部310の出力信号INV1は‘ハイ’レベルに維持される。一方、トリガー部330のインバータ331は、‘ハイ’レベルの内部電源感知信号PUPB2を反転して‘ロー’レベルの信号INV2を出力し、信号遅延部332は、該出力信号INV2を所定時間遅延させて、所定の遅延時間後に‘ロー’レベルに遷移される遅延信号DELを出力する。

【0036】NANDゲート333は、前記遅延信号DEL及び内部電源感知信号PUPB2を否定論理積して、内部電源感知信号PUPB2が‘ハイ’レベルに遷移される時点 $T_b$ から前記遅延信号DELが‘ロー’レベルに遷移される時点 $T_c$ までの間は、‘ロー’レベルのトリガー信号TRIGを発生させる。時点 $T_b \sim T_c$ の間は、信号遅延部332の遅延時間DELAYに相当する。

【0037】次いで、‘ロー’レベルのトリガー信号TRIGは、バッファ部340を経ることにより‘ロー’レベルの信号INV4がラッチ部320の第2NANDゲート322に印加されると、該第2NANDゲート322のノードCでは、出力信号ND2が‘ハイ’レベルに遷移されて、前記第1NANDゲートのノードDの出力信号ND1は‘ロー’レベルに遷移される。

【0038】次いで、前記ラッチ部320の‘ロー’レベルの出力信号ND1が信号出力部350のNORゲート351に印加されるが、内部電源感知信号PUPB2が‘ハイ’レベルのため、インバータ352を経た最終

出力である初期安定化信号SETBは依然に‘ハイ’レベルに維持され、外部からのアクセスを防止することができる。

【0039】その後、内部電源感知信号PUPB2が‘ハイ’レベルから‘ロー’レベルに再び遷移される時点 $T_d$ においては、ラッチ部320の第2NANDゲート322からの信号ND1が‘ロー’レベルであるので、信号出力部350のNORゲート351の出力信号NR2は‘ハイ’レベルに遷移され、該出力信号NR2はインバータ352で反転されて、‘ロー’レベルの初期安定化信号SETBが出力される。

【0040】即ち、前記初期安定化信号SETBは、外部電源感知信号PUPB1が出力され、かつ、内部電源感知信号PUPB2が時点 $T_b \sim T_d$ までの所定時間出力されたときの下降エッジに同期して、‘ロー’レベルに活性化されて出力される。これにより、半導体メモリの動作が正常に開始される。

【0041】

【発明の効果】以上説明したように、本発明に係る半導体メモリの初期安定化信号発生回路においては、外部電源電圧及び内部電源電圧が、半導体メモリが正常に動作し得る電圧レベルになるまで、外部からのアクセスを防止して、半導体メモリ内の不安定な動作及びラッチアッ

プなどの過電流の発生を防止し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係る半導体メモリの初期安定化信号発生回路の一実施形態のブロック図である。

【図2】図1の初期安定化信号発生部の回路図である。

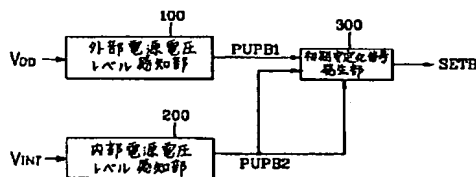
【図3】図2の初期安定化信号発生部の各信号の動作タイミング図である。

【図4】従来の半導体メモリの初期安定化信号発生回路において初期安定化信号を発生する場合の外部電源電圧及び内部電源電圧の電圧レベルを示す図である。

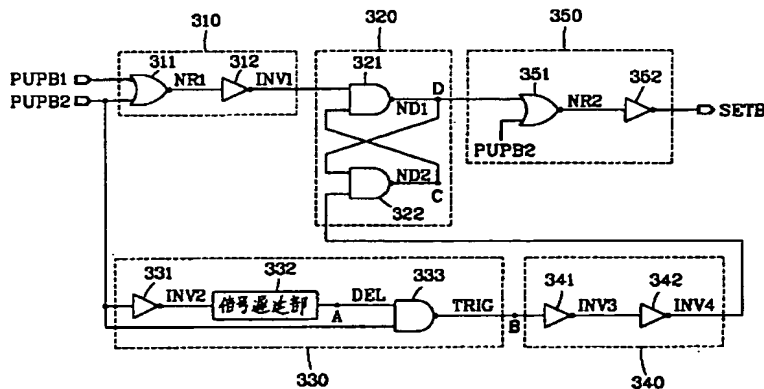
【符号の説明】

100：外部電源電圧レベル感知部  
200：内部電源電圧レベル感知部  
300：初期安定化信号発生部  
310：信号入力部  
320：ラッチ部  
330：トリガ部  
340：バッファ部  
350：信号出力部  
311, 351：NORゲート  
312, 331, 341, 342, 352：インバータ  
321, 322, 333：NANDゲート  
332：信号遅延部

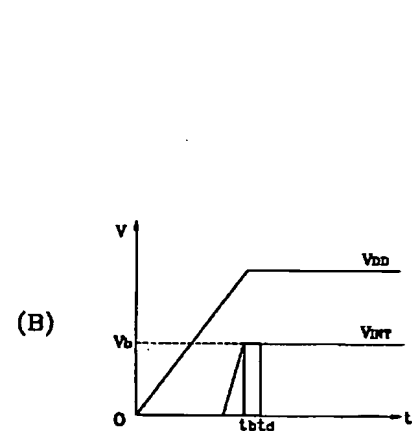
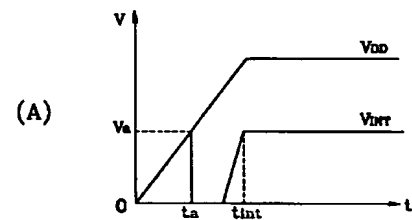
【図1】



【図2】



【図4】





【図3】

